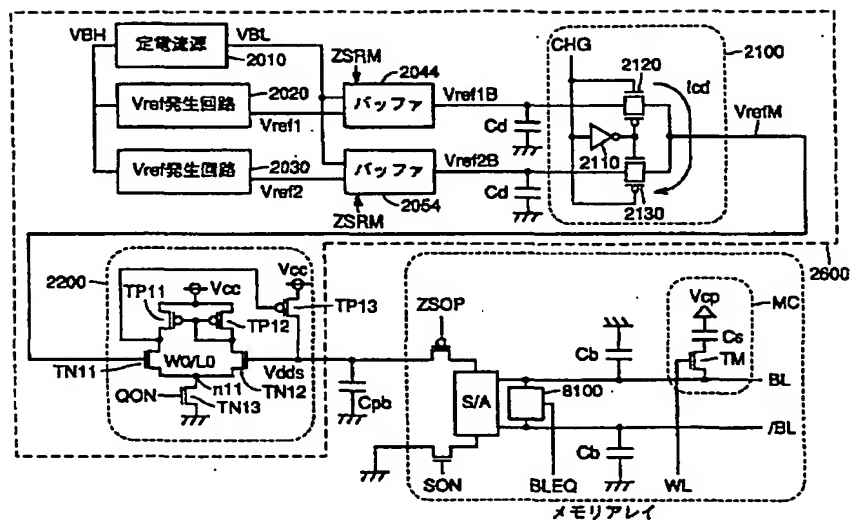
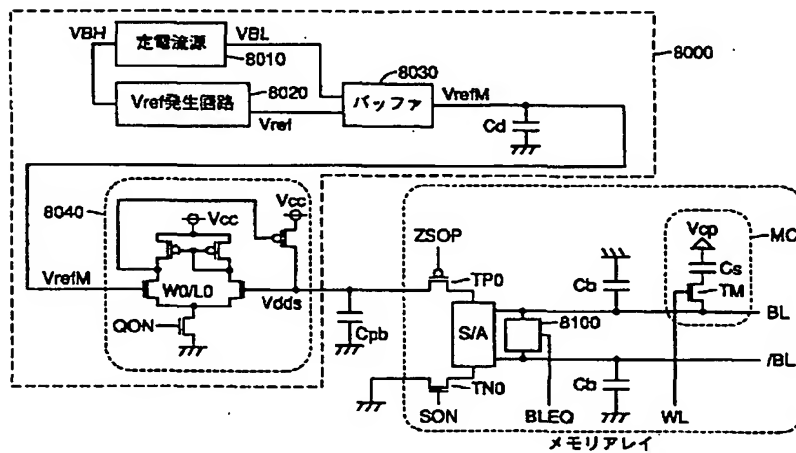


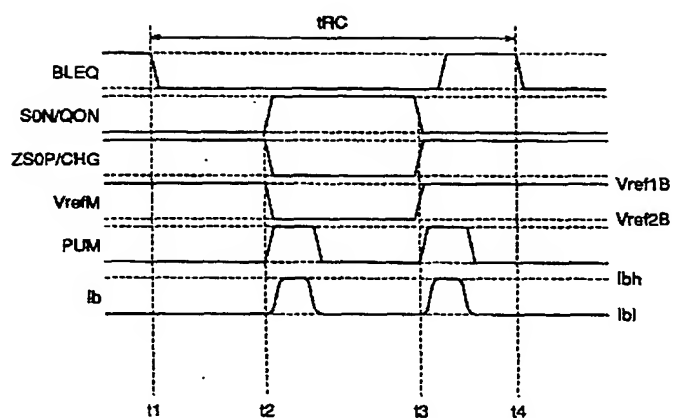
【図14】



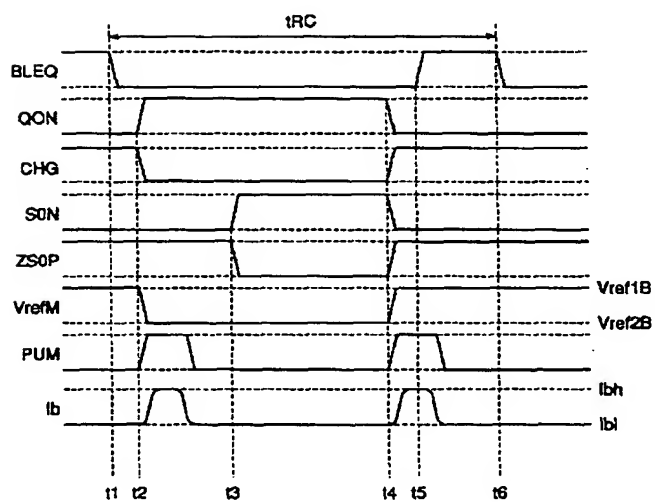
【図17】



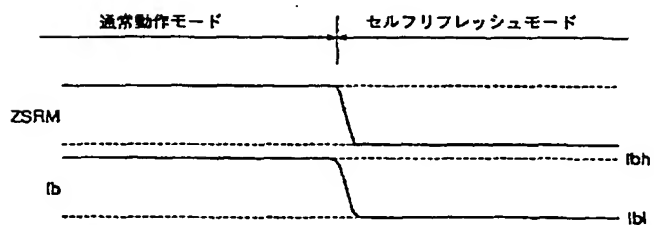
【図11】



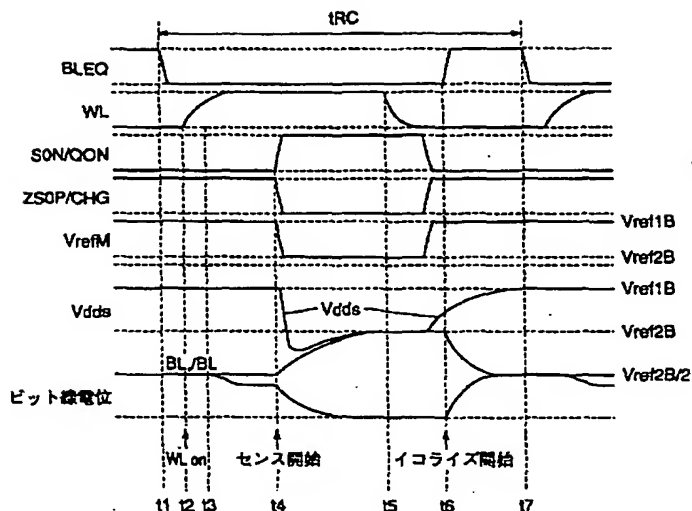
【図13】



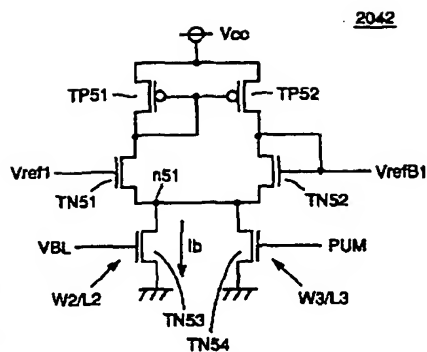
【図16】



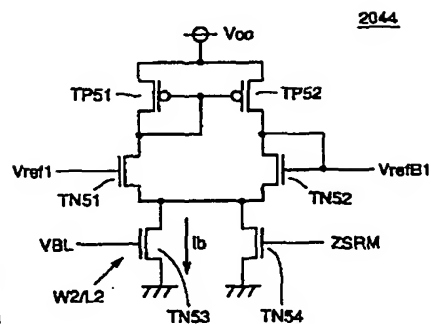
【図6】



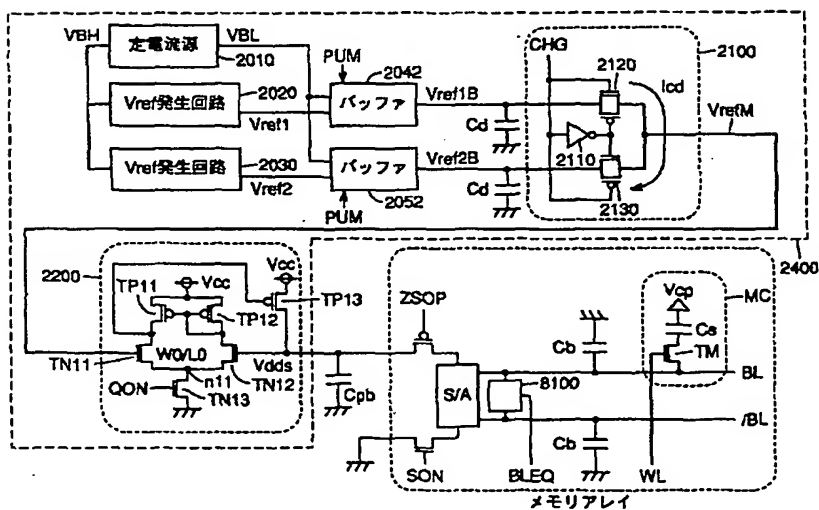
【図9】



【図15】

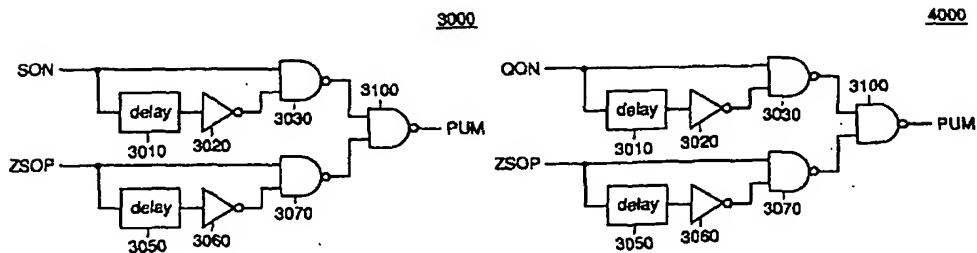


【図8】

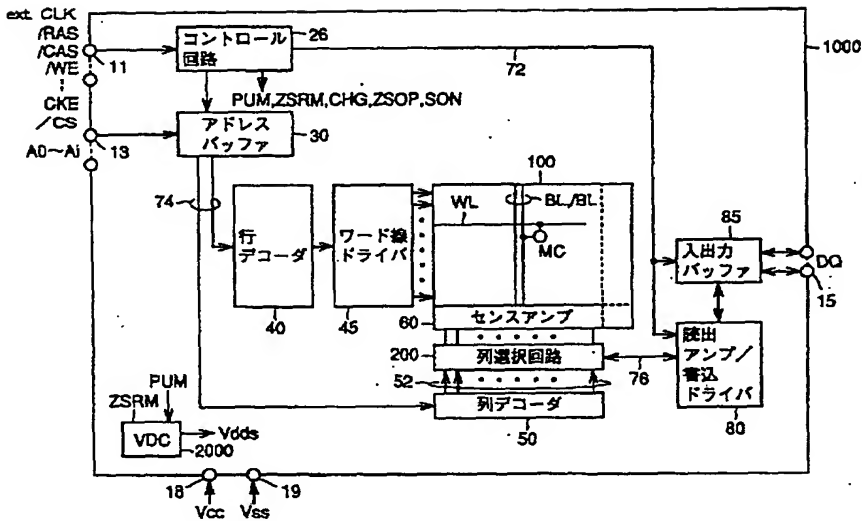


【図10】

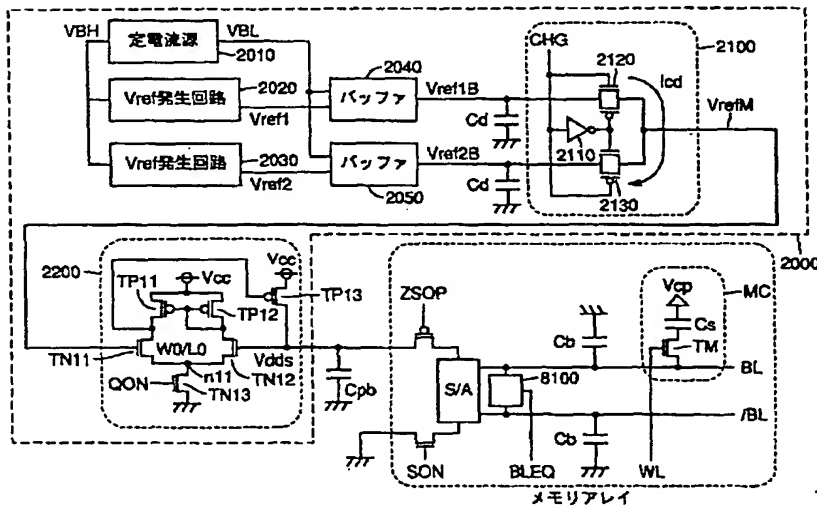
【図12】



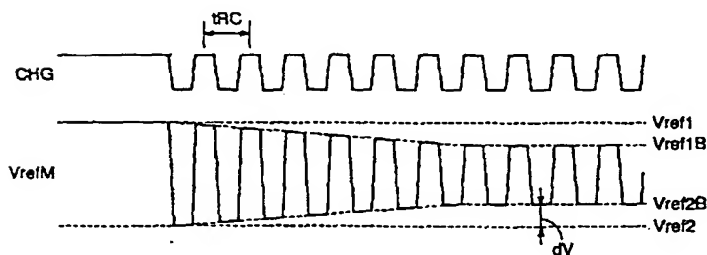
【図 1】



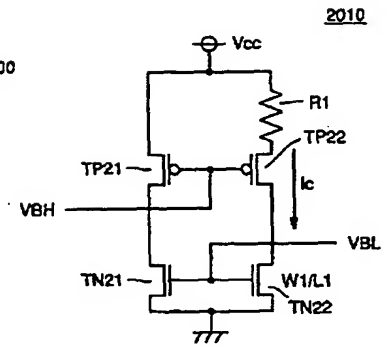
【図 2】



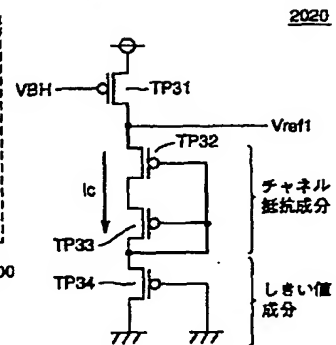
【図 7】



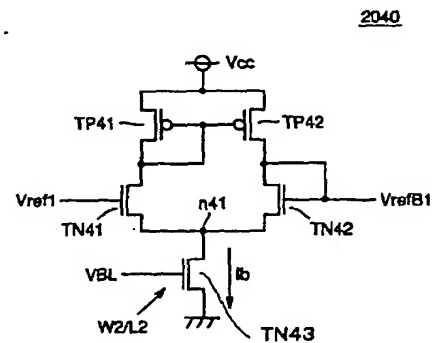
【図 3】



【図 4】



【図 5】



に制御される。

【0141】このような構成は、待機時電流 I_{ccs} の値に対するシステムの要求が厳しくない場合には特に有効である。

【0142】以上の説明では、本願発明をDRAMの回路構成において、センスアンプS/Aに内部電源電位を供給する内部電位発生回路の構成として説明したが、このような構成はより一般的に拡張することが可能である。つまり、本願に係る内部電位発生回路または基準電位を生成する構成は、内部電位として2つのレベルの電位を生成する内部電位発生回路の構成に限定されない。

【0143】たとえば、複数の中間電位を切換えて生成する内部電位発生回路からの出力信号を、ある回路中のMOSトランジスタのゲートに受けて使う系において、切換動作による中間電位自身が変動してしまうことを抑制し、かつ内部電位発生回路または基準電位を生成する構成での貫通電流を抑制することに、以上説明した本願発明を適用することが可能である。

【0144】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0145】

【発明の効果】請求項1ないし2記載の半導体装置は、基準電位生成回路の出力する基準電位のレベルが動作モードに応じて切換わった場合でも、この基準電位間の干渉による電位変動を抑制することが可能である。

【0146】請求項3および4記載の半導体装置は、動作モードの切りかわりの都度に内部回路に供給される電位が過渡的に所望値からずれることを抑制でき、かつ、消費電力の増大を抑制できる。

【0147】請求項5ないし9記載の半導体装置は、内部電位発生回路から出力される出力レベルが動作モードに応じて切換わった場合でも、出力レベルが過渡的に所望値からずれることを抑制でき、かつ、消費電力の増大を抑制できる。

【0148】請求項10記載の半導体装置は、ダイナミック型半導体記憶装置において、センスアンプの活性・不活性が切換わる際の駆動電位が過渡的に所望値からずれることを抑制でき、かつ、消費電力の増大を抑制できる。

【0149】請求項11記載の半導体装置は、セルフリフレッシュモードでの消費電力を低減することが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のDRAM1000の全体構成を示す概略ブロック図である。

【図2】 プリブースト型内部電位発生回路2000の

構成を示す概略ブロック図である。

【図3】 図2に示した定電流源2010の構成を説明するための回路図である。

【図4】 図2に示した第1のVref発生回路2020の構成を説明するための回路図である。

【図5】 図2に示した第1のバッファ回路2040の構成を説明するための回路図である。

【図6】 図2に示した降圧回路2000を用いたDRAM1000において、センス動作を説明するためのタイミングチャートである。

【図7】 充放電電流Icdにより、基準電位VrefMに生じる過渡的な変化を説明するための図である。

【図8】 内部電位発生回路2400の構成を説明するための概略ブロック図である。

【図9】 第1のバッファ回路2042の構成を説明するための回路図である。

【図10】 PUM信号発生回路3000の構成を示す概略ブロック図である。

【図11】 内部電位生成回路2400の基準電位の生成動作を説明するためのタイミングチャートである。

【図12】 本発明の実施の形態2のPUM信号発生回路4000の構成を示す概略ブロック図である。

【図13】 PUM信号発生回路4000を使用した場合の内部電位発生回路の動作を説明するためのタイミングチャートである。

【図14】 本発明の実施の形態3の内部電位生成回路2600の構成を示す概略ブロック図である。

【図15】 本発明の実施の形態3のバッファ回路2044の構成を説明するための回路図である。

【図16】 本発明の実施の形態3の内部電圧発生回路の動作を説明するためのタイミングチャートである。

【図17】 従来の内部電位生成回路8000の構成を説明するための概略ブロック図である。

【符号の説明】

11 制御信号入力端子群、13 アドレス信号入力端子群、15 データ入出力端子群、18 外部電源端子、19 外部接地端子、26 コントロール回路、30 アドレスバッファ、40 行デコーダ、45 ワード線ドライバ、50 列デコーダ、52 コラム選択線、60 センスアンプ、72 内部制御信号バス、74 アドレスバス、76 データバス、80 読出アンプ/書込ドライバ、85 入出力バッファ、100 メモリセルアレイ、200 列選択回路、1000 DRAM、2000 内部電位発生回路、2010 定電流源、2020、2030 Vref発生回路、2040、2042、2044、2050、2052、2054 バッファ回路、2100 切換回路、2110 インバータ、2120、2130 トランсмисシオンゲート、2200 電圧変換回路、3000、4000 PUM信号発生回路。

19

ることが可能である。

【0122】たとえば、外部から与えられるロウ系の回路の活性化に繋がる制御信号／コマンドに直接対応する内部信号であったり、あるいは、センスアンプが不活性な期間は活性状態となっているビット線イコライズ信号BLEQなどを用いることも可能である。

【0123】【実施の形態2】実施の形態2の内部電位発生回路の構成は、基本的には図8に示した実施の形態1の内部電位発生回路の構成と同様である。

【0124】ただし、信号PUMが活性となるタイミングが異なる。図8～図10に示した実施の形態1の内部電位発生回路2000の構成においては、電圧変換回路2200の活性化を指示する信号QONが“H”レベルとなるタイミングと、センスアンプの活性化を指示する信号SONの活性化のタイミングが同期していた。

【0125】しかしながら、一般には、電圧変換回路2200が活性化してから、実際に正規動作を行なうようになるまでは少し時間がかかる。そのために、センス開始以前に信号QON活性状態（“H”レベル）とする場合がある。

【0126】実施の形態2のPUM信号発生回路4000においては、信号PUMが発生するタイミングを信号QONと同期させることで、基準電位VrefMが切替わるよりも以前のタイミングにおいて、信号PUMを活性状態とする構成としている。

【0127】図12は、本発明の実施の形態2のPUM信号発生回路4000の構成を示す概略ブロック図である。図10に示した実施の形態1のPUM信号発生回路3000の構成と異なる点は、信号SONが信号QONとなっている点であり、その他の構成は同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0128】図13は、図12に示したようなPUM信号発生回路4000を使用した場合の内部電位発生回路の動作を説明するためのタイミングチャートである。

【0129】時刻t1において、信号BLEQが不活性化し、時刻t2において、信号QONが活性状態となって、電圧変換回路2200が活性化される。時刻t2において、信号CHGが“L”レベルに遷移し、基準電位VrefMも、第1の基準電位Vref1Bから第2の基準電位Vref2Bに切替わる。これに応じて、信号PUMも所定期間活性状態となって、バッファ回路2040および2050における貫通電流Ibの値も、レベルIb1からレベルIbhへと高められる。その後、時刻t3において、信号SONおよび信号ZSOPが活性状態となることで、センス動作が活性化される。

【0130】このような構成とすることで、複数の基準電位が生成される回路構成において、基準電位間の干渉による電位変動を抑制することが可能となる。

【0131】したがって、たとえば、実施の形態2の内

20

部電位発生回路をDRAMのセンスアンプへの駆動電位供給に用いた場合、センス動作において、センスアンプにより内部電源電位Vddsの消費が開始された時点においては、既に電圧変換回路2200は正規動作を開始しているため、電圧変換回路2200が、内部電源電位Vddsが第2の基準電位Vref2Bと一致するように電荷供給を開始するまでの所要時間が低減される。この結果、実施の形態1で述べた効果に加えて、電源電位Vddsレベルの過渡的な変動がより一層抑制され、センス時間の短縮が可能となる。

【0132】【実施の形態3】実施の形態1および2で示した構成においては、内部電位発生回路をDRAMに用いた場合、通常モードにおける待機状態でもセルフリフレッシュモードでも系の貫通電流を抑制することが可能である。

【0133】しかしながら、通常モード時には他で消費する電流成分に紛れて貫通電流Ipaが全体の消費電力に対しては重要でない場合がある。一方、セルフリフレッシュモードでは、サイクルタイムtRCが十分に長く、充放電電流Icdが十分小さいため、バッファ能力を高める必要がない場合がある。

【0134】したがって、DRAMがセルフリフレッシュモードに入っているかどうかでバッファ能力を制御することも可能である。

【0135】図14は、本発明の実施の形態3の内部電位生成回路2600の構成を示す概略ブロック図である。

【0136】図8に示した実施の形態1の基準電位生成回路2400の構成とは、バッファ回路2044および2054が、セルフリフレッシュモードが指定されていることを示す信号ZSRMにより制御される構成となっていることであり、その他の点は図8に示した構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0137】図15は、本発明の実施の形態3のバッファ回路2044の構成を説明するための回路図である。

【0138】図9に示した実施の形態1のバッファ回路の構成と異なる点は、トランジスタTN54のゲートが信号PUMではなく信号ZSRMにより制御される構成となっている点のみであるので、同一部分には同一符号を付してその説明を繰返さない。

【0139】図16は本発明の実施の形態3の内部電圧発生回路の動作を説明するためのタイミングチャートである。通常動作モードにおいては信号ZSRMが“H”レベルであって、バッファ回路2044および2054における貫通電流Ibは大きなレベルIbhに制御されている。

【0140】セルフリフレッシュモードに入ると信号ZSRMは“L”レベルとなり、バッファ回路2040および2050における貫通電流Ibは低いレベルIb1

17

図2に示した構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0103】図9は、図8に示した第1のバッファ回路2042の構成を説明するための回路図である。

【0104】第2のバッファ回路2052の構成も、入力される電位および出力する電位が異なるのみで、その基本的な構成は同様である。

【0105】第1のバッファ回路2042は、電源電位 V_{cc} と内部ノード $n51$ との間に直列に接続されるpチャネルMOSトランジスタTP51およびnチャネルMOSトランジスタTN51と、電源電位 V_{cc} と内部ノード $n51$ との間に直列に接続されるpチャネルMOSトランジスタTP52およびnチャネルMOSトランジスタTN52と、内部ノード $n51$ と接地電位 V_{ss} との間に接続されゲートにバイアス電位VBLを受けるnチャネルMOSトランジスタTN53と、内部ノード $n51$ と接地電位 V_{ss} との間に接続され、ゲートに信号PUMを受けるnチャネルMOSトランジスタTN54とを含む。

【0106】トランジスタTP51およびTP52のゲートは互いに接続され、これらのゲートは、トランジスタTP51とトランジスタTN51との接続ノードに接続されている。

【0107】トランジスタTN51のゲートは、第1の参照電位 V_{ref1} を受け、トランジスタTN52のゲートは、トランジスタTP52のドレインと接続している。トランジスタTN52のゲート電位が、第1の基準電位 V_{refB1} として出力される。

【0108】ここで、トランジスタTN53は、ゲート幅 $W2$ とゲート長 $L2$ を有しているものとする。

【0109】一方、トランジスタTN54は、ゲート幅 $W3$ およびゲート長 $L3$ を有する。図9に示したような構成とすることで、信号PUMにより、バッファ回路2040を流れる貫通電流 I_b の値を制御することが可能となる。

【0110】図10は、図9に示した信号PUMを生成するためのPUM信号発生回路3000の構成を示す概略ブロック図である。PUM信号発生回路3000は、たとえば、図1に示したコントロール回路26に含まれる。

【0111】図10を参照して、PUM発生回路3000は、信号SONを受ける遅延回路3010と、遅延回路3010の出力を受けて反転するインバータ3020と、信号SONおよびインバータ3020の出力を受けるNAND回路3030と、信号ZSOPを受ける遅延回路3050と、遅延回路3050の出力を受けて反転するインバータ3060と、信号ZSOPおよびインバータ3060の出力を受けるNAND回路3070と、NAND回路3030および3070の出力を受けて、信号PUMを出力するNAND回路3100とを含む。

18

【0112】図10に示したようなPUM発生回路3000の構成とすることで、センス開始時および終了時を基点に、遅延回路3010および3050で決まる期間だけ信号PUMが“H”レベルとなることになる。これに応じて、図9で示したバッファ回路2040ならびにバッファ回路2050の貫通電流 I_b が増加してバッファの駆動能力が高まる。その結果、基準電位 V_{ref1B} と V_{ref2B} との間の切換えにより発生する充放電電流 I_{cd} が、バッファの駆動能力の範囲内に収まり、基準電位 V_{ref1B} および基準電位 V_{ref2B} のレベル変動を抑制できることになる。

【0113】図11は、図8に示した内部電位生成回路2400の基準電位の生成動作を説明するためのタイミングチャートである。

【0114】時刻 $t1$ において、信号BLEQが不活性状態となった後、時刻 $t2$ において、信号SONおよび信号ZSOPがそれぞれ活性状態へと変化する。一方、基準電位 V_{refM} は、第1の基準電位 V_{ref1B} から第2の基準電位 V_{ref2B} へと変化する。

【0115】これに応じて、信号PUMも、所定の期間だけ活性状態となり、この信号PUMが活性である期間だけバッファ回路2040および2050における貫通電流 I_b の値は、電流量 I_{bl} から電流量 I_{bh} まで上昇する。

【0116】さらに、時刻 $t3$ において、信号SONおよび信号ZSOPが不活性状態となるのに応じて、信号PUMは再び所定の時間だけ活性状態となる。

【0117】一方、基準電位 V_{refM} は、第2の基準電位 V_{ref2B} から第1の基準電位 V_{ref1B} へと変化する。

【0118】このとき、基準電位 V_{refM} の切り替わりの期間において、バッファ回路2040および2050の貫通電流 I_b は、レベル I_{bl} からレベル I_{bh} まで上昇することになる。

【0119】信号PUMが“L”レベルである期間の貫通電流 I_b を、電源投入時における寄生容量 C_d の充電に必要な最低限の値 I_{bl} に絞っておくことで、信号PUMによりバッファ回路を制御しない場合に比べて、貫通電流 I_b の値を低めに設定することができる。この結果、特にサイクル時間 t_{RC} が長い場合に、ほとんどの時間においては、バッファ回路2040および2050の貫通電流 I_b はレベル I_{bl} となるため、平均的な貫通電流 I_b の値は抑制されることになる。

【0120】したがって、図8に示したような構成により、電流 I_{ccsr} および I_{ccs} の低減が可能となる。

【0121】なお、信号PUMが“H”レベルとなっている期間を決める信号は、上記の例においては、センスアンプの活性化信号SONおよびZSOPとしたが、これ以外のロウ系の動作にかかわるさまざまな信号を用い

15

基準電位 V_{ref1B} となる。

【0083】時刻 t_6 において、信号 $BLEQ$ が活性化して、ビット線対のイコライズが開始される。

【0084】時刻 t_7 において、次のサイクルが開始される。この場合、時刻 t_1 から時刻 t_7 までの時間が、サイクル時間 t_{RC} となる。

【0085】上述のとおり、メモリセルに書込まれる“H”データのレベルは、電位 V_{ref2B} に等しいため、以上のような動作で、メモリセルには、基準電位が2段階に切換わった場合でも、所望のレベルを有する“H”レベルのデータが書込まれることになる。

【0086】さらに、内部電源電位 V_{dds} の過渡的な低下が少なくなったことによって、内部電位発生回路2000が最終的に内部電源電位 V_{dds} のレベルを、基準電位 V_{ref2B} に等しくなるまで上昇させるための時間も短縮されることになる。

【0087】ここで、図2で構成される内部電位発生回路2000に流れる貫通電流 I_{pa} を見積もってみると以下のとおりである。

【0088】まず、定電流源2010において $2 \times I_c$ の貫通電流が発生し、第1および第2の V_{ref} 発生回路2020および2030において、 $2 \times I_c$ の貫通電流が発生し、第1および第2のバッファ回路2040および2050において、 $2 \times I_b$ の貫通電流が発生する。

【0089】したがって、合計では以下の式(4)だけ

$$I_{cd} = C_0 \times W_0 \times L_0 \times (V_{ref1B} - V_{ref2B}) / t_{RC} \dots (5)$$

ここで、 C_0 は単位面積あたりのゲート容量を意味する。一般に基準電位 V_{refM} を受ける電位変換回路2200内のトランジスタ $TN11$ のゲート面積 $W_0 \times L_0$ は大きな値に設定されている。さらに、シンクロナスDRAM(以下、SDRAM)に代表される高速動作可能なDRAMでは、サイクル時間 t_{RC} が従来よりも短いため、充放電電流 I_{cd} は無視できない値となる。

【0095】図7は、このような充放電電流 I_{cd} により、基準電位 V_{refM} に生じる過渡的な変化を説明するための図である。

【0096】図7を参照して、第1の基準電位 V_{ref1B} および第2の基準電位 V_{ref2B} は、充放電電流 I_{cd} とバッファ回路2040および2050の電流駆動力が釣り合うまで、次第にそのレベルが変化する。したがって、第1の基準電位 V_{ref1B} は所望の値 V_{ref1} よりも小さな値となり、一方、第2の基準電位 V_{ref2B} は所望の値 V_{ref2} よりも大きな値となってしまう。

【0097】サイクル時間 t_{RC} が十分に短い場合は、図7に示したとおり、所望の電位レベルから基準電位 V_{ref2B} は、電圧偏差 dV だけずれた値で定常状態になってしまう。基準電位 V_{ref1B} についても同様である。

16

の貫通電流が発生していることになる。

【0090】

$$I_{pa} = 2 \times I_b + 4 \times I_c \dots (4)$$

言いかえると、上記式(4)は、信号 QON が“L”レベルであって、内部電位発生回路2000がオフ状態である間の内部電位発生回路2000を流れる電流 I_{pa} を表している。

【0091】上述したとおり、リフレッシュ動作時に消費される電流 I_{ccsr} と待機時電流 I_{ccs} とを低減させるためには、貫通電流 I_{pa} はできるだけ小さいことが望ましい。

【0092】その結果、バッファ回路で流れる電流 I_b は、電源投入直後に、バッファ回路の出力ノードに存在する寄生容量 C_d を所定時間内に充電できる程度の値に設定される。ここで、具体的には、たとえばバッファ回路における貫通電流 I_b の値は数 μA 程度となるように設計されている。

【0093】図2で説明したとおり、基準電位 V_{refM} が切換わることにより、バッファ回路2040および2050は、電圧変換回路2200内の基準電位 V_{refM} を受けるトランジスタ(トランジスタ $TN11$)のゲート容量を充放電しなければならない。

【0094】一定のサイクル時間 t_{RC} でセンス動作が行なわれる場合、充放電電流 I_{cd} は、以下の式(5)で表わされる。

【0098】このようなバッファ回路2040および2050から出力される基準電位 V_{ref1B} および V_{ref2B} のレベルが変動してしまうことを抑えるために、定常的にバッファ回路2040および2050で発生する貫通電流 I_b を大きく設定しておくことも可能である。しかしながら、このような貫通電流 I_b の設定とすることは、電流 I_{ccsr} および I_{ccs} を低減するという観点からは好ましくない。

【0099】結局のところ、電流 I_{ccsr} および I_{ccs} の設定値からすると、許容される最大値に貫通電流 I_b の値を設定しておかざるを得ないことになる。

【0100】したがって、内部電位発生回路2000からの出力電位 V_{dds} の過渡状態における電位レベルの低下を抑制しつつかつ電流 I_{ccsr} および I_{ccs} を低減させるためには、図2に示した構成だけでは不十分ということになる。

【0101】図8は、上述したような電流 I_{ccsr} および I_{ccs} の低減を可能とする内部電位発生回路2400の構成を説明するための概略ブロック図である。

【0102】内部電位発生回路2400の構成が、図2に示した内部電位発生回路2000の構成と異なる点は、バッファ回路2042および2052が信号 PUM で制御される構成となっている点である。その他の点は

13

るpチャネルMOSトランジスタTP42およびnチャネルMOSトランジスタTN42と、内部ノードn41と接地電位Vssとの間に接続されるトランジスタTN43を含む。

【0064】トランジスタTP41およびTP42のゲートは互いに接続され、これらゲートは、トランジスタTP41およびTN41の接続ノードと接続されている。

【0065】トランジスタTN41のゲートは、第1の参照電位Vref1を受ける。トランジスタTN42のゲートは、トランジスタTN42のドレインと接続され、このゲートの電位レベルが、第1の参照電位Vref1Bとして出力される。

【0066】トランジスタTN43のゲートは、第2のバイアス電位VBLを受ける。ここで、トランジスタTN43は、ゲート幅W2とゲート長L2とを有する。このとき、バッファ回路2040には、貫通電流Ibが流れている。

$$I_b = (W2/L2) / (W1/L1) \times I_c \quad \dots (1)$$

したがって、式(1)における、 $(W2/L2) / (W1/L1)$ の比の値を大きくすることで、バッファ回路の出力を安定に保つことができる。

【0070】なお、第1の基準電位Vref1Bと第2の基準電位Vref2Bとの間には、以下の式(2)が成り立つものとする。

$$V_{ref1B} > V_{ref2B} \quad \dots (2)$$

ここで、メモリセルに“H”データとして書込まれる電位は電位Vref2Bに等しいものとする。

【0072】図6は、図2に示した降圧回路2000を用いたDRAM1000において、センス動作を説明するためのタイミングチャートである。

【0073】時刻t1において、ビット線対のイコライズ動作が停止され、信号BLEQが“H”レベルから“L”レベルへと変化する。

【0074】続いて時刻t2において、外部から与えられるアドレス信号に応じてワード線WLが選択され、選択されたワード線WLの電位レベルが活性状態へと変化する。

$$C_{pb} \times (V_{ref1B} - V_{ref2B}) \quad \dots (3)$$

時刻t4において、信号SONが“H”レベルとなり、信号ZSOPが“L”レベルとなって、センス動作の開始が指示されると、デカップリング容量Cpbに貯えられていた電荷がビット線対に存在する充放電容量Cbの充電を開始する。

【0080】時刻t4においてセンス動作が開始された後は、上述の式(3)に示した分だけより多くの電荷がデカップリング容量Cpbに存在するため、センス開始初期の内部電源電位Vddsレベルの過渡的な低下は抑制されることになる。

14

【0067】すなわち、定電流源2010で発生された電流と同じ大きさの電流Icが、第1および第2のVref発生回路2020および2030に流れる。第1および第2のVref発生回路2020および2030においては、それぞれ直列に接続されるトランジスタの数を変更することで、チャネル抵抗分の電圧降下の値を変え、2つの参照電位Vref1およびVref2をそれぞれ発生する。この参照電位Vref1およびVref2をそれぞれ元にして、さらに第1および第2のバッファ回路2040および2050において、基準電位Vref1BおよびVref2Bが生成される。

【0068】ここで、第1の基準電位Vref1Bの値は、第1の参照電位Vref1の値に等しく、第2の基準電位Vref2Bの値は、第2の参照電位Vref2の値と等しい。

【0069】バッファ回路2040の貫通電流Ibは、以下の式(1)により与えられる。

【0075】ワード線WLの活性化に伴って、時刻t3においてビット線対BLおよびBLに選択されたメモリセルに保持されるデータ対応した電位差が発生する。

【0076】時刻t4において、センスアンプの動作の開始が指示され、信号SONおよび信号QONが“H”レベルへと変化する。一方、信号ZSOPおよび信号CHGは“H”レベルから“L”レベルへと変化する。

【0077】信号CHGの変化に伴って、基準電位VrefMのレベルは、電位Vref1Bのレベルから電位Vref2Bのレベルへと変化する。

【0078】したがって、センス動作が開始されるまでの期間においては、信号SONは“L”レベルであり、信号ZSOPは“H”レベルであって、基準電位VrefMは第1の基準電位Vref1Bとなっている。つまり、デカップリング容量Cpbには、センス開始までの期間において、基準電位VrefMがVref2Bである場合よりも、以下の式(3)で表わされるだけ、より多くの電荷が貯えられることになる。

【0079】

【0081】また、時刻t4以降においては、基準電位VrefMの値は、第2の基準電位Vref2Bとなっている。このため、電圧変換回路2200は、内部電源電位Vddsのレベルが電位Vref2Bのレベルと同じになるように、センスアンプS/Aに電荷を供給することになる。

【0082】時刻t5においてワード線が不活性化され、その後、センスアンプ駆動信号SON、/SOPも不活性化する。これに応じて、信号CHGも“H”レベルに復帰し、基準電圧VrefMの値は、再び、第1の

50

11

【0042】切替回路2100は、信号CHGを受けて反転信号を生成するインバータ2110と、信号CHGおよびインバータ2110の出力により制御され、第1の基準電位Vref1Bを受けて、信号CHGが“H”レベルのときに導通状態となって、基準電位VrefMとして出力するトランSMissionゲート2120と、信号CHGおよびインバータ2110の出力により制御され、第2の基準電位Vref2Bを受けて、信号CHGが“L”レベルのときに導通状態となって、基準電位VrefMとして出力するトランSMissionゲート2130を含む。

【0043】電圧変換回路2200は、内部ノードn11と電源電位Vccとの間に直列に接続されるpチャネルMOSトランジスタTP11およびnチャネルMOSトランジスタTN11と、電源電位Vccと内部ノードn11との間に直列に接続されるpチャネルMOSトランジスタTP12およびnチャネルMOSトランジスタTN12と、内部ノードn11と接地電位Vssとの間に接続されるnチャネルMOSトランジスタTN13と、電源電位VccとトランジスタTN12のゲートとの間に接続され、トランジスタTP11およびTN11の接続ノードの電位をゲートに受けるpチャネルMOSトランジスタTP13を含む。

【0044】トランジスタTP11およびTP12のゲートは互いに接続され、かつ、トランジスタTP12のゲートは、トランジスタTP12のドレインと接続している。

【0045】トランジスタTN11のゲートは、基準電位VrefMを受け、トランジスタTN12のゲートの電位レベルが、内部電源電位Vddsに相当する。

【0046】トランジスタTN13は、電圧変換回路の動作開始を指示する信号QONを受ける。

【0047】ここで、トランジスタTN12と基準電位VrefMを受けるトランジスタTN11とは、ゲート幅W0およびゲート長L0を有するものとする。

【0048】図3は、図2に示した定電流源2010の構成を説明するための回路図である。

【0049】定電流源2010は、電源電位Vccと接地電位Vssとの間に直列に接続されるpチャネルMOSトランジスタTP21およびnチャネルMOSトランジスタTN21と、電源電位Vccと接地電位Vssとの間に直列に接続される抵抗体R1、pチャネルMOSトランジスタTP22およびnチャネルMOSトランジスタTN22を含む。

【0050】トランジスタTP21とトランジスタTP22のゲートとは共通に接続され、これらゲートの電位レベルが、バイアス電位VBHとして出力される。一方、トランジスタTN21とトランジスタTN22のゲートも互いに接続され、これらゲートの電位レベルがバイアス電位VBLとして出力される。

12

【0051】ここで、トランジスタTN21およびTN22は、ゲート幅W1およびゲート長L1を有するものとする。このとき、定電流源2010には、貫通電流Icが常時流れている。

【0052】図4は、図2に示した第1のVref発生回路2020の構成を説明するための回路図である。

【0053】なお、第2のVref発生回路2030も、生成する参照電位レベルを変更するために、直列に接続されるトランジスタ数が異なる以外は、基本的には、第1のVref発生回路2020と同様の構成を有する。

【0054】第1のVref発生回路2020は、電源電位Vccと接地電位Vssとの間に直列に接続されるpチャネルMOSトランジスタTP31、TP32、TP33およびTP34を含む。

【0055】トランジスタTP31のゲートは、バイアス電位VBHを受け、トランジスタTP34のゲートは、接地電位Vssを受ける。

【0056】また、トランジスタTP32およびTP33のゲートは、ともに、トランジスタTP33とTP34の接続ノードに接続される。

【0057】トランジスタTP31とトランジスタTP32の接続ノードの電位レベルが、第1の参照電位Vref1として出力される。

【0058】以上のような接続関係となっている結果、トランジスタTP32およびTP33の部分では、チャネル抵抗成分に起因する電圧降下が発生し、トランジスタTP34においては、このトランジスタのしきい値電圧分の電圧降下が生じている。

【0059】トランジスタTP31のゲートに、バイアス電位VBHが与えられることにより、トランジスタTP31～TP34には、定電流源2010に流れる貫通電流Icと同じ値の貫通電流Icが流れている。

【0060】上述したとおり、第2のVref発生回路2030においては、たとえば、第1の参照電位Vref1よりも小さな第2の参照電位Vref2を生成するために、図4に示した第1のVref発生回路2020の構成において、トランジスタTP32～TP34のように直列に接続されるトランジスタの数がより少なくなるように構成されている。

【0061】図5は、図2に示した第1のバッファ回路2040の構成を説明するための回路図である。

【0062】第2のバッファ回路2050の構成も、入力される参照電位と出力される基準電位の電位レベルが異なるのみで、基本的にはその構成は同様である。

【0063】図5を参照して、第1のバッファ回路2040は、電源電位Vccと内部ノードn41との間に直列に接続されるpチャネルMOSトランジスタTP41およびnチャネルMOSトランジスタTN41と、電源電位Vccと内部ノードn41との間に直列に接続され

9

体装置に適用することが可能である。さらに、内部電位発生回路としては、以下の説明で例示する降圧回路に限られることなく、より一般に、昇圧回路であってもよい。たとえば、昇圧回路等のレベル検知回路を有する内部電位発生回路において、検知レベルにヒステリシスを持たせるために基準電位を切換え、出力する内部電位レベルを切換える場合などに適用することも可能である。

【0029】図1を参照して、DRAM1000は、外部クロック信号ext. CLK、行アドレスストロブ信号/RAS、列アドレスストロブ信号/CAS、ライトイネーブル信号/WE、チップイネーブル信号/CS、クロックイネーブル信号CKE等の制御信号を受ける制御信号入力端子群11と、アドレス信号A0~Ai (i: 自然数) を受けるアドレス入力端子群13と、データの入出力を行なうデータ入出力端子群15と、外部電源電位Vccを受けるVcc端子18と接地電位Vssを受けるVss端子19とを備える。

【0030】制御信号入力端子群11に与えられる信号/CSは、チップへの制御信号の入力を可能とすることを指示するための信号である。信号CKEは、チップへの外部クロック信号ext. CLKの入力を可能とすることを指示するための信号である。

【0031】DRAM1000は、さらに、制御信号に応じてDRAM1000全体の動作を制御する内部制御信号を発生するコントロール回路26と、内部制御信号を伝達する内部制御信号バス72と、アドレス入力端子群13から外部アドレス信号を受けて、内部アドレス信号を発生するアドレスバッファ30と、行列状に配置された複数のメモリセルMCを有するメモリセルアレイ100とを備える。

【0032】メモリセルMCは、データを保持するためのキャパシタと、各行に対応するワード線WLに接続されたゲートを有するアクセストランジスタTMとによって構成される(図示せず)。

【0033】メモリセルアレイ100においては、メモリセルの各行に対してワード線WLが設けられ、メモリセルの各列に対してビット線BL、/BLが設けられる。

【0034】アドレスバス74によって伝達される内部アドレス信号に応じて、行デコーダ40および列デコーダ50によってメモリセルの行および列が選択される。

【0035】行デコーダ40の出力に応じて、ワード線ドライバ45によって、対応するワード線WLが選択的に活性化される。列デコーダ50によってコラム選択信号が活性化される。コラム選択信号は、コラム選択線52によって列選択ゲート200に与えられる。列選択ゲート200は、コラム選択信号に応じて、ビット線対BL、/BLのデータを増幅するセンスアンプ60とI/O線76とを選択的に接続する。I/O線76は、読出アンプ/書込ドライバ80および入出力バッファ85を

10

介して、データ入出力端子15との間で記憶データの伝達を行なう。これにより、データ入出力端子15とメモリセルMCとの間で記憶データの授受が行なわれる。

【0036】コントロール回路は、たとえば、外部制御信号の組合せによりセルフリフレッシュモードが指定されている場合は、動作モードがセルフリフレッシュモードであることを内部回路に指示するための信号ZSRMを出力し、セルフリフレッシュ動作を行なうための内部アドレスの生成等をおこなって、DRAM1000のセルフリフレッシュモード動作を制御する。

【0037】DRAM1000は、さらに、ビット線対の“H”レベル電位に対応し、センスアンプ60に供給される内部電源電位Vddsを発生する内部電位発生回路2000を備える。

【0038】前述したとおり、図1に示したようなDRAM1000の構成において、内部電位発生回路2000から供給される内部電源電位Vddsが、センス動作の開始時に、過渡的に低下することで、センス動作が遅延するという問題点を解決するためには、まず、内部電位発生回路2000から、センスアンプS/Aに内部電源電位を供給する配線上に存在するデカップル容量Cbを、予めメモリセルに“H”データとして書込まれる電位以上にプリチャージしておく構成が考えられる。

【0039】図2は、このようなプリブースト型内部電位発生回路2000の構成を示す概略ブロック図である。

【0040】図17に示した従来の内部電位発生回路8000の構成と異なる点は、基準電位VrefMのレベルが固定値ではなく、動作モードに応じて2つの電位レベルVref1Bと電位Vref2Bのいずれかに切替わる構成となっていることである。

【0041】図2を参照して、内部電位発生回路2000は、外部電源電位Vccと接地電位Vssとを受けて、2つのバイアス電位VBHおよびVBLを生成する定電流源2010と、バイアス電位VBHを受けて、第1の参照電位Vref1を発生する第1のVref発生回路2020と、バイアス電位VBHを受けて、第2の参照電位Vref2を生成する第2のVref発生回路2030と、バイアス電位VBLと、第1の参照電位Vref1とを受けて、第1の基準電位Vref1Bを生成するバッファ回路2040と、バイアス電位VBLと、第2の参照電位Vref2とを受けて、第2の基準電位Vref2Bを生成するバッファ回路2050と、第1および第2の基準電位Vref1BおよびVref2Bとを受けて、コントロール回路26により生成されるモード選択信号CHGに応じて、いずれか一方を基準電位VrefMとして出力する切換回路2100と、基準電位VrefMを受けて、センスアンプS/Aに供給する内部電源電位Vddsを発生する電圧変換回路2200とを備える。

7

スイッチ回路を有する。

【0020】請求項5記載の半導体装置は、内部電位により駆動される内部回路と、内部電位を内部回路に伝達する配線と、電源電位を受けて、第1の電位および第1の電位よりも高い第2の電位のうちのいずれか一方を選択的に内部電位として、内部回路の動作モードに応じて切換えて配線に出力する内部電位発生回路とを備え、内部電位発生回路は、第1および第2の電位にそれぞれ対応する第1および第2の基準電位を、動作モードに応じて切換えて出力し、かつ、動作モードの切換えに応じて少なくとも所定期間電流駆動能力を増加させる基準電位生成回路と、基準電位生成回路の出力を入力ノードに受け、内部電位を生成する電圧変換回路とを含み、電圧変換回路は、ゲートが入力ノードと結合するMOSトランジスタを有する。

【0021】請求項6記載の半導体装置は、請求項5記載の半導体装置の構成に加えて、基準電位生成回路は、第1の基準電位に対応する第1の参照電位を発生する第1の参照電位生成回路と、第2の基準電位に対応する第2の参照電位を発生する第2の参照電位生成回路と、第1の参照電位に応じて、第1の基準電位を出力する第1のバッファ回路と、第2の参照電位に応じて、第2の基準電位を出力する第2のバッファ回路とを含み、第1のバッファ回路および第2のバッファ回路の各々は、出力ノードと、電源電位を受けて、活性状態において自身を流れる電流値を動作モードの遷移後の少なくとも所定期間増加させることにより、第1および第2の参照電位のうち対応する一方の電位に応じて、出力ノードの電位レベルを第1および第2の基準電位のうち対応する一方の電位レベルに駆動する駆動回路とを有し、第1および第2のバッファ回路の出力を受けて、動作モードに応じていずれか一方を選択的に出力する切換回路をさらに含む。

【0022】請求項7記載の半導体装置は、請求項6記載の半導体装置の構成に加えて、駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、駆動回路は、記第2の経路上に設けられ、動作モードの遷移後の所定期間において活性状態を維持するパルス信号の活性化に応じて導通状態となるスイッチ回路を有する。

【0023】請求項8記載の半導体装置は、請求項6記載の半導体装置の構成に加えて、駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、電流制御回路は、第2の経路上に設けられ、動作モードを指定するモード指定信号の活性化に応じて導通状態となるスイッチ回路を有する。

【0024】請求項9記載の半導体装置は、請求項5記載の半導体装置の構成に加えて、電圧変換回路は、動作モードの切換わりに先だって、不活性状態から活性状態となる。

8

【0025】請求項10記載の半導体装置は、請求項5記載の半導体装置の構成に加えて、内部回路は、与えられる制御信号に応じて、内部回路の動作を制御する制御回路と、行列上に配置される複数のダイナミック型メモリセルを含むメモリセルアレイと、メモリセルの列に対応して設けられる複数のビット線対と、アドレス信号に応じて、メモリセルを選択するメモリセル選択回路と、選択されたメモリセルに保持されるデータに応じて、選択されたメモリセルの結合するビット線対の電位を増幅する複数のセンスアンプと、制御回路に制御されて、センスアンプへの内部電位の供給を制御するセンスアンプ駆動回路とを含み、動作モードの切換わりは、センスアンプによるセンス動作が活性・不活性に切換わることに対応する。

【0026】請求項11記載の半導体装置は、請求項5記載の半導体装置の構成に加えて、基準電位生成回路は、第1の基準電位に対応する第1の参照電位を発生する第1の参照電位生成回路と、第2の基準電位に対応する第2の参照電位を発生する第2の参照電位生成回路と、第1の参照電位に応じて、第1の基準電位を出力する第1のバッファ回路と、第2の参照電位に応じて、第2の基準電位を出力する第2のバッファ回路とを含み、第1のバッファ回路および第2のバッファ回路の各々は、出力ノードと、電源電位を受けて、自身を流れる電流値をセルフリフレッシュモードが指定されることに応じて、減少させることにより、第1および第2の参照電位のうち対応する一方の電位に応じて、出力ノードの電位レベルを第1および第2の基準電位のうち対応する一方の電位レベルに駆動する駆動回路とを有し、第1および第2のバッファ回路の出力を受けて、動作モードに応じていずれか一方を選択的に出力する切換回路をさらに含み、内部回路は、与えられる制御信号に応じて、内部回路の動作を制御する制御回路と、行列上に配置される複数のダイナミック型メモリセルを含むメモリセルアレイと、メモリセルの列に対応して設けられる複数のビット線対と、アドレス信号に応じて、メモリセルを選択するメモリセル選択回路と、選択されたメモリセルに保持されるデータに応じて、選択されたメモリセルの結合するビット線対の電位を増幅する複数のセンスアンプと、制御回路に制御されて、センスアンプへの内部電位の供給を制御するセンスアンプ駆動回路とを含む。

【0027】

【発明の実施の形態】 [実施の形態1] 図1は、本発明の実施の形態1のDRAM1000の全体構成を示す概略ブロック図である。

【0028】なお、以下の説明で明らかとなるように、本発明に係る内部電位発生回路は、図1に示したようなDRAM1000に搭載される場合に限定されることなく、より一般に、外部電源電圧Vccに基づいて、内部電源電位を生成する内部電源電位生成回路を備える半導

5

ツファ回路8030と、基準電位 V_{refM} を受けて、信号 QON により活性化され、内部電源電位 V_{dds} を出力する電圧変換回路8040とを備える。

【0008】図17に示した例においては、センスアンプ S/A は、信号 ZSP により制御されるpチャネルMOSトランジスタ $TP0$ を介して内部電源電位 V_{dds} が供給され、信号 SON により制御されるnチャネルMOSトランジスタ $TN0$ を介して接地電位 V_{ss} が供給される。

【0009】センスアンプ S/A はビット線対 BL および \overline{BL} を介して、複数のメモリセル MC と接続している。図17においては、例示として、センスアンプ S/A とビット線 BL を介して接続するメモリセル MC のみを示している。ビット線対 BL および \overline{BL} との間には、信号 $BLEQ$ に応じて、ビット線対 BL および \overline{BL} の電位レベルをイコライズし、かつプリチャージ電位レベルとするためのプリチャージ/イコライズ回路8100が設けられている。

【0010】ビット線対 BL と接続するメモリセル MC は、ワード線 WL の電位レベルに応じて開閉するメモリセルトランジスタ TM と、一方端がセルプレート電位 V_{CP} と結合し、他方端がトランジスタ TM を介してビット線対 BL と結合可能なメモリセルキャパシタ C_s とを含む。ここで、セルプレート電位は、一般には、メモリセルキャパシタに蓄えられる“H”レベルデータに対応する電位の $1/2$ の値とされる。

【0011】

【発明が解決しようとする課題】図17に示したような構成では、上述したとおり、外部電源電位よりも低い内部電源電位 V_{dds} がセンスアンプ S/A に供給されるために、動作時電流の削減が達成される。

【0012】しかしながら、センス動作の開始時において、内部電源電位 V_{dds} のレベルが低いことは、センスアンプ S/A を構成するトランジスタのゲートソース間電位 V_{gs} を小さくすることになる。このことは、センスアンプ S/A によるセンス動作の遅延をもたらす。

【0013】また、チップ面積が小さくなるにつれて、電圧変換回路8040からセンスアンプ S/A に至る配線上に存在するデカップル容量 C_{pb} と、センス動作を行なう際にビット線 BL および \overline{BL} において充放電される容量 C_b との比 C_{pb}/C_b は小さくなる傾向にある。すなわち、センス動作の開始前において、上記容量 C_{pb} には内部電源電位 V_{dds} の電位レベルが保持されている。このような状態のもと、センス動作の開始から実際に電圧変換回路8040が、所定レベルの内部電源電位 V_{dds} を供給し始めるまでの期間においては、容量 C_{pb} から充放電容量 C_b に電荷が供給されることになる。このため、容量比 C_{pb}/C_b が小さくなるということは、センスアンプ S/A に供給される内部電源

6

電位 V_{dds} レベルの所望レベルからの過渡的な低下の割合が大きくなることを意味する。

【0014】このような内部電源電位 V_{dds} レベルの過渡的な低下が大きくなることは、上述のようにセンス動作の遅延が大きくなることを意味する。そこで、このようなセンス動作の遅延を抑制するために、内部電源電位 V_{dds} が過渡的に低下している期間を短くしようとすると、内部電位生成回路8000の電流供給能力を、上記のような過渡的期間においても高める必要がある。このことは、内部内部電位生成回路8000の待機時電流値の増加に繋がってしまうという問題点があった。

【0015】この発明は、上記のような問題点を解決するためになされたものであって、その目的は、内部降圧回路から出力される内部電源電位レベルの過渡的な変動を抑制しつつ、待機時電流値を抑制することが可能な内部電位発生回路を提供することである。

【0016】

【課題を解決するための手段】請求項1記載の半導体装置は、電源電位を受けて、複数の基準電位のうちのいずれか一つを選択的に、動作モードに応じて切換えて出力する基準電位生成回路を備え、基準電位生成回路は、複数の基準電位をそれぞれ生成し、かつ、動作モードの切換えに応じて少なくとも所定期間電流駆動能力を増加させる複数の電位発生回路と、複数の電位発生回路の出力を受けて、動作モードに応じて切換えて出力する切換回路とを含み、基準電位生成回路の出力に基づいて動作する内部回路をさらに備える。

【0017】請求項2記載の半導体装置は、請求項1記載の半導体装置の構成に加えて、電位発生回路の各々は、生成する基準電位に対応する参照電位を発生する参照電位生成回路と、参照電位に応じて、基準電位を出力するバッファ回路とを含み、バッファ回路は、出力ノードと、電源電位を受けて、参照電位に応じて、出力ノードの電位レベルを参照電位レベルに駆動する駆動回路と、動作モードの切り替えに応じて、活性状態である駆動回路を流れる電流値を少なくとも所定期間切換える電流制御回路とを有する。

【0018】請求項3記載の半導体装置は、請求項2記載の半導体装置の構成に加えて、駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、電流制御回路は、動作モードの切り替えに応じて、所定期間活性状態となるパルス信号を生成するパルス信号生成回路と、第2の経路上に設けられ、パルス信号の活性化に応じて導通状態となるスイッチ回路を有する。

【0019】請求項4記載の半導体装置は、請求項2記載の半導体装置の構成に加えて、駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、電流制御回路は、動作モードに応じて、モード指定信号を生成するモード信号生成回路と、第2の経路上に設けられ、モード指定信号の活性化に応じて導通状態となる

3

与えられる制御信号に応じて、前記内部回路の動作を制御する制御回路と、
 行列上に配置される複数のダイナミック型メモリセルを含むメモリセルアレイと、
 前記メモリセルの列に対応して設けられる複数のビット線対と、
 アドレス信号に応じて、前記メモリセルを選択するメモリセル選択回路と、
 前記選択されたメモリセルに保持されるデータに応じて、選択された前記メモリセルの結合するビット線対の電位を増幅する複数のセンスアンプと、
 前記制御回路に制御されて、前記センスアンプへの前記内部電位の供給を制御するセンスアンプ駆動回路とを含み、
 前記動作モードの切り換えは、センスアンプによるセンス動作が活性・不活性に切り換わることに対応する、請求項5記載の半導体装置。

【請求項11】 前記基準電位生成回路は、
 前記第1の基準電位に対応する第1の参照電位を発生する第1の参照電位生成回路と、
 前記第2の基準電位に対応する第2の参照電位を発生する第2の参照電位生成回路と、
 前記第1の参照電位に応じて、前記第1の基準電位を出力する第1のバッファ回路と、
 前記第2の参照電位に応じて、前記第2の基準電位を出力する第2のバッファ回路とを含み、
 前記第1のバッファ回路および前記第2のバッファ回路の各々は、
 出力ノードと、
 前記電源電位を受けて、自身を流れる電流値をセルフリフレッシュモードが指定されることに依拠して、減少させることにより、前記第1および第2の参照電位のうち対応する一方の電位に応じて、前記出力ノードの電位レベルを前記第1および第2の基準電位のうち対応する一方の電位レベルに駆動する駆動回路とを有し、
 前記第1および第2のバッファ回路の出力を受けて、前記動作モードに応じていずれか一方を選択的に出力する切り換え回路をさらに含み、
 前記内部回路は、
 与えられる制御信号に応じて、前記内部回路の動作を制御する制御回路と、
 行列上に配置される複数のダイナミック型メモリセルを含むメモリセルアレイと、
 前記メモリセルの列に対応して設けられる複数のビット線対と、
 アドレス信号に応じて、前記メモリセルを選択するメモリセル選択回路と、
 前記選択されたメモリセルに保持されるデータに応じて、選択された前記メモリセルの結合するビット線対の電位を増幅する複数のセンスアンプと、

4

前記制御回路に制御されて、前記センスアンプへの前記内部電位の供給を制御するセンスアンプ駆動回路とを含む、請求項5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、外部電源電位を受けて、内部電源電位を発生する内部電位発生回路を備える半導体装置の構成に関する。

【0002】

【従来の技術】 近年、携帯型情報端末等の普及が著しい結果、これらの機器に搭載される記憶素子には、バッテリ駆動で長時間動作可能なことが要求される。

【0003】 ビット単価が低いことから、このような記憶素子としては、ダイナミック型ランダムアクセスメモリ（以下、DRAMと呼ぶ）が、携帯型情報端末装置に搭載される場合が多い。しかしながら、このDRAMに書込まれたデータは、放置されると次第に失われていくために、リフレッシュ動作と呼ばれるデータ保持のための動作が必要となる。

【0004】 リフレッシュ動作時に、DRAMにおいて消費される電流 I_{ccsr} を低減するための方法の1つとして、定常的に電流が流れる回路部分の設計を最適化することにより、この回路部分に流れる定常的な貫通電流を削減することが挙げられる。また、いわゆる待機時電流 I_{ccs} も低いことが好ましく、この場合も、上述したような定常的貫通電流の削減が重要になる。以下では、DRAMにおいて、このような定常電流が流れる回路として、DRAMの内部電位を発生する内部電位生成回路を例にとりて説明していくことにする。

【0005】 内部電位生成回路は、外部電源電圧より低い一定電位をDRAMの内部回路に供給するために、DRAMの動作時電流の削減に大きく寄与する。特に、リフレッシュ動作時に消費される電流 I_{ccsr} を削減するという意味で、内部電位生成回路から出力される内部電源電位 V_{dds} をより低く設定することは重要である。

【0006】 図17は、DRAMのセンスアンプ回路 S/A に内部電源電位 V_{dds} を供給するためのセンス用電圧変換回路8040を含む従来の内部電位生成回路8000の構成を説明するための概略ブロック図である。

【0007】 従来の内部電位生成回路8000は、外部電源電位 V_{cc} と接地電位 V_{ss} とを受けて動作し、この内部電位生成回路8000の貫通電流値を規定するためのバイアス電位 V_{BH} および V_{BL} を生成する定電流源8010と、外部電源電位 V_{cc} と接地電位 V_{ss} とを受けて動作し、バイアス電位 V_{BH} に依拠して内部電源電位 V_{dds} を生成するための参照電位 V_{ref} を生成する V_{ref} 発生回路8020と、バイアス電位 V_{BL} および参照電位 V_{ref} とを受けて、内部電源電位 V_{dds} を生成するための基準電位 V_{refM} を生成するバ

1

【特許請求の範囲】

【請求項1】 半導体装置であって、

電源電位を受けて、複数の基準電位のうちのいずれか一つを選択的に、動作モードに応じて切換えて出力する基準電位生成回路を備え、

前記基準電位生成回路は、

前記複数の基準電位をそれぞれ生成し、かつ、前記動作モードの切換えに応じて少なくとも所定期間電流駆動能力を増加させる複数の電位発生回路と、

前記複数の電位発生回路の出力を受けて、前記動作モードに応じて切換えて出力する切換回路とを含み、

前記基準電位生成回路の出力に基づいて動作する内部回路をさらに備える、半導体装置。

【請求項2】 前記電位発生回路の各々は、

生成する前記基準電位に対応する参照電位を発生する参照電位生成回路と、

前記参照電位に応じて、前記基準電位を出力するバッファ回路とを含み、

前記バッファ回路は、

出力ノードと、

前記電源電位を受けて、前記参照電位に応じて、前記出力ノードの電位レベルを前記参照電位レベルに駆動する駆動回路と、

前記動作モードの切り換えに応じて、活性状態である前記駆動回路を流れる電流値を少なくとも前記所定期間切換える電流制御回路とを有する、請求項1記載の半導体装置。

【請求項3】 前記駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、

前記電流制御回路は、

前記動作モードの切り換えに応じて、前記所定期間活性状態となるパルス信号を生成するパルス信号生成回路と、

前記第2の経路上に設けられ、前記パルス信号の活性化に応じて導通状態となるスイッチ回路を有する、請求項2記載の半導体装置。

【請求項4】 前記駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、

前記電流制御回路は、

前記動作モードに応じて、モード指定信号を生成するモード信号生成回路と、

前記第2の経路上に設けられ、前記モード指定信号の活性化に応じて導通状態となるスイッチ回路を有する、請求項2記載の半導体装置。

【請求項5】 半導体装置であって、

内部電位により駆動される内部回路と、

前記内部電位を前記内部回路に伝達する配線と、

電源電位を受けて、第1の電位および前記第1の電位よりも高い第2の電位のうちのいずれか一方を選択的に内部電位として、前記内部回路の動作モードに応じて切換

2

えて前記配線に出力する内部電位発生回路とを備え、

前記内部電位発生回路は、

前記第1および第2の電位にそれぞれ対応する第1および第2の基準電位を、前記動作モードに応じて切換えて出力し、かつ、前記動作モードの切換えに応じて少なくとも所定期間電流駆動能力を増加させる基準電位生成回路と、

前記基準電位生成回路の出力を入力ノードに受け、前記内部電位を生成する電圧変換回路とを含み、

前記電圧変換回路は、ゲートが前記入力ノードと結合するMOSトランジスタを有する、半導体装置。

【請求項6】 前記基準電位生成回路は、

前記第1の基準電位に対応する第1の参照電位を発生する第1の参照電位生成回路と、

前記第2の基準電位に対応する第2の参照電位を発生する第2の参照電位生成回路と、

前記第1の参照電位に応じて、前記第1の基準電位を出力する第1のバッファ回路と、

前記第2の参照電位に応じて、前記第2の基準電位を出力する第2のバッファ回路とを含み、

前記第1のバッファ回路および前記第2のバッファ回路の各々は、

出力ノードと、

前記電源電位を受けて、活性状態において自身を流れる電流値を前記動作モードの遷移後の少なくとも前記所定期間増加させることにより、前記第1および第2の参照電位のうち対応する一方の電位に応じて、前記出力ノードの電位レベルを前記第1および第2の基準電位のうち対応する一方の電位レベルに駆動する駆動回路とを有し、

前記第1および第2のバッファ回路の出力を受けて、前記動作モードに応じていずれか一方を選択的に出力する切換回路をさらに含む、請求項5記載の半導体装置。

【請求項7】 前記駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、

前記駆動回路は、

前記第2の経路上に設けられ、前記動作モードの遷移後の前記所定期間において活性状態を維持するパルス信号の活性化に応じて導通状態となるスイッチ回路を有する、請求項6記載の半導体装置。

【請求項8】 前記駆動回路を流れる電流の経路は、互いに並列な第1および第2の経路を含み、

前記電流制御回路は、

前記第2の経路上に設けられ、前記動作モードを指定するモード指定信号の活性化に応じて導通状態となるスイッチ回路を有する、請求項6記載の半導体装置。

【請求項9】 前記電圧変換回路は、前記動作モードの切り換えに先だて、不活性状態から活性状態となる、請求項5記載の半導体装置。

【請求項10】 前記内部回路は、

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35160

(P2001-35160A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 F 5 B 0 2 4

11/403

3 6 3 M

審査請求 未請求 請求項の数11 O L (全 16 頁)

(21) 出願番号 特願平11-356089

(22) 出願日 平成11年12月15日 (1999. 12. 15)

(31) 優先権主張番号 特願平11-133711

(32) 優先日 平成11年5月14日 (1999. 5. 14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 河野 隆司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5B024 AA01 BA09 BA21 BA23 BA27

CA07 DA18

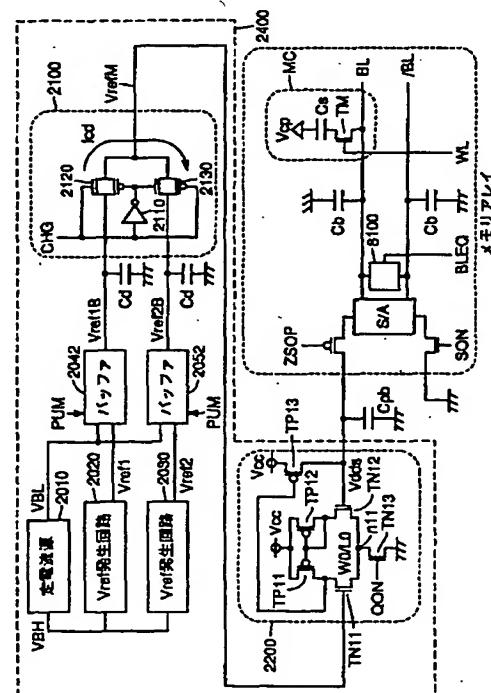
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高速動作を維持しつつ、消費電力の低減を図ることが可能な内部電位発生回路を提供する。

【解決手段】 第1および第2のバッファ回路2042および2052は、第1および第2の基準電位Vref1BおよびVref2Bを生成する。切換回路2100は、センス動作が行なわれていない期間は、基準電位VrefMのレベルを電位Vref1Bとし、センス動作が行なわれている期間は、より低い電位Vref2Bとする。バッファ回路2042および2052は、センス動作の開始時および終了時も所定期間だけ、貫通電流が大きくなるように信号PUMにより制御される。

10



3-03085-TA

SEMICONDUCTOR DEVICE

Patent Number: JP2001035160
Publication date: 2001-02-09
Inventor(s): KONO TAKASHI
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP2001035160
Application Number: JP19990356089 19991215
Priority Number(s):
IPC Classification: G11C11/407; G11C11/403
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an internal potential generating circuit capable of reducing power consumption while maintaining high-speed operation.

SOLUTION: First and second buffer circuits 2042 and 2052 generate first and second reference potentials Vref1B and Vref2B. While sense operation is not performed, the level of a reference potential VrefM is turned into potential Vref1B by a switching circuit 2100 and while sense operation is performed, that level is turned into lower potential Vref2B. The buffer circuits 2042 and 2052 are controlled by a signal PUM so as to increase a through current just for a prescribed period when starting and ending the sense operation.

Data supplied from the esp@cenet database - I2